

DERWENT- 2002-332385
ACC-NO:

DERWENT- 200237
WEEK:

COPYRIGHT 2007 DERWENT INFORMATION LTD

TITLE: Memory circuit comprising redundant cells placed outside memory blocks and connected to blocks as required by control, for use in information technology

INVENTOR: FERRANT, R

PATENT-ASSIGNEE: STMICROELECTRONICS SA[SGSA]

PRIORITY-DATA: 2000FR-0008746 (July 5, 2000)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
FR 2811464 A1	January 11, 2002	N/A	016	G11C 007/24

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
FR 2811464A1	N/A	2000FR-0008746	July 5, 2000

INT-CL (IPC): G11C007/24

ABSTRACTED-PUB-NO: FR 2811464A

BASIC-ABSTRACT:

NOVELTY - The memory circuit comprises a number of blocks (4), e.g. 8 of which 3 are represented, of memory cells organized in rows and columns, and at least one redundant row (16') formed by redundant memory cells and placed outside the blocks of memory circuit. The memory circuit also comprises a control block (18') for invalidating the writing/reading of a defective memory cell of any block of the memory circuit and for allowing after replacement the writing/reading of a memory cell of the redundant row.

DETAILED DESCRIPTION - Each block (4) is adjoined by a rows decoder (8), and the control block (18') is connected to the rows decoder of each block for invalidating the writing/ reading of defective memory cell. The memory cells of rows of blocks and the redundant row form

words, and a word of a row of any block containing a defective cell is replaced by a word of the redundant row. A row of any block containing defective memory cell is replaced by one of the redundant rows. Each redundant memory cell is of a static memory type.

USE - In memory circuits comprising redundant or spare memory cells which are laid out so that they can replace defective memory cells, which turned out faulty at the end of manufacturing process; in memory circuits of dynamic random-access memory (DRAM) type, but also of static random-access memory (SRAM) type, and for other types of memory circuits such as erasable and programmable read-only memory (EPROM) and electrically erasable and programmable read-only memory (EEPROM).

ADVANTAGE - The probability of repair of memory circuit by the connection of redundant memory cells placed outside blocks is increased with respect to the previous case of each block containing redundant memory cells, because the redundant memory cells can be connected only to the blocks where required. E.g. in the case of 8 redundant rows replacing 8 defective rows the probability is 100%, while in the case of prior circuit where each block contains one redundant row it is only 0.2%. This allows a reduction in the number of redundant cells, and a removal of excessive cells.

DESCRIPTION OF DRAWING(S) - The drawing is a block diagram of the memory circuit.

Blocks of memory circuit 4

Rows decoders 8

Address bus 10

Input/output bus 12

Read/write amplifiers 14

Redundant row 16'

Control block 18'

CHOSEN- Dwg.2/3
DRAWING:

TITLE-TERMS: MEMORY CIRCUIT COMPRISE REDUNDANT CELL PLACE MEMORY
BLOCK CONNECT BLOCK REQUIRE CONTROL INFORMATION
TECHNOLOGY

DERWENT-CLASS: U14

EPI-CODES: U14-A07; U14-D01A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2002-261049

PUB-NO: FR002811464A1

**DOCUMENT-
IDENTIFIER:** FR 2811464 A1

TITLE: Memory circuit comprising redundant cells placed outside memory blocks and connected to blocks as required by control, for use in information technology

PUBN-DATE: January 11, 2002

INVENTOR-INFORMATION:

NAME COUNTRY

FERRANT, RICHARD N/A

ASSIGNEE-INFORMATION:

NAME COUNTRY

ST MICROELECTRONICS SA FR

APPL-NO: FR00008746

APPL-DATE: July 5, 2000

PRIORITY-DATA: FR00008746A (July 5, 2000)

INT-CL (IPC): G11C007/24

EUR-CL (EPC): G11C029/00

ABSTRACT:

CHG DATE=20020807 STATUS=O>The memory circuit comprises a number of blocks (4), e.g. 8 of which 3 are represented, of memory cells organized in rows and columns, and at least one redundant row (16') formed by redundant memory cells and placed outside the blocks of memory circuit. The memory circuit also comprises a control block (18') for invalidating the writing/reading of a defective memory cell of any block of the memory circuit and for allowing after replacement the writing/reading of a memory cell of the redundant row. Each block (4) is adjoined by a rows decoder (8), and the control block (18') is connected to the rows decoder of each block for invalidating the writing/ reading of defective memory cell. The memory cells of rows of blocks and the redundant row form words, and a word of a row of any block containing a defective cell is replaced by a word of the redundant row. A row of any block containing defective memory cell is replaced by one of the redundant rows. Each redundant memory cell is of a static memory type.

(19) RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

(11) N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 811 464

(21) N° d'enregistrement national : **00 08746**

(51) Int Cl⁷ : G 11 C 7/24

(12)

DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 05.07.00.

(30) Priorité :

(43) Date de mise à la disposition du public de la
demande : 11.01.02 Bulletin 02/02.

(56) Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

(60) Références à d'autres documents nationaux
apparentés :

(71) Demandeur(s) : **STMICROELECTRONICS SA**
Société anonyme — FR.

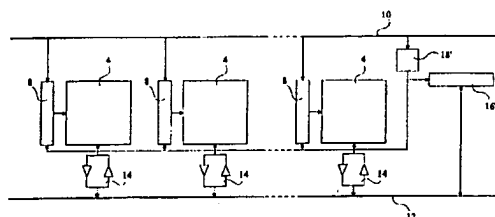
(72) Inventeur(s) : **FERRANT RICHARD.**

(73) Titulaire(s) :

(74) Mandataire(s) : **CABINET MICHEL DE BEAUMONT.**

(54) **CIRCUIT MEMOIRE COMPORTANT DES CELLULES DE SECOURS.**

(57) L'invention concerne un circuit mémoire comportant
plusieurs blocs (4) de cellules mémoire organisées en ran-
gées et en colonnes, et au moins une rangée de secours
(16') formée de cellules mémoire de secours, dans lequel la
rangée de secours (16') est disposée hors des blocs (4) du
circuit mémoire.



FR 2 811 464 - A1



CIRCUIT MÉMOIRE COMPORTANT DES CELLULES DE SECOURS

La présente invention concerne les circuits mémoire, et en particulier les circuits mémoire comportant des cellules de secours.

Les cellules mémoire d'un circuit mémoire sont classiquement réparties en blocs disposant de leurs propres décodeurs d'adresse. Dans un circuit mémoire, certaines cellules mémoire peuvent s'avérer défectueuses à l'issue de la fabrication du circuit. Pour cela, on ajoute à chaque bloc du circuit mémoire des cellules mémoire supplémentaires, ou cellules mémoire de secours, destinées à remplacer les cellules mémoire défectueuses.

La figure 1 représente un circuit de mémoire dynamique (DRAM) 2 comprenant huit (dont trois seulement sont représentés) blocs 4 de cellules mémoire organisées en rangées et en colonnes (non représentées). Chaque bloc 4 est associé à un décodeur de rangée 8, disposé pour activer sélectivement l'une des rangées du bloc. Chaque décodeur de rangée 8 est connecté à un bus d'adresse 10 pour en recevoir une adresse de bloc et une adresse de rangée. Chaque bloc 4 est relié à un bus d'entrée/sortie 12 par l'intermédiaire d'amplificateurs de lecture/écriture 14. En outre, chaque bloc 4 comprend une rangée de secours 16 identique aux autres rangées du bloc. Chaque bloc 4 est associé à un moyen de commande 18 propre à activer ou inactiver la rangée de secours 16. Chaque

moyen de commande 18 est en outre relié au bus d'adresse 10, et au décodeur 8 du bloc auquel il est associé.

A l'issue de la fabrication du circuit mémoire 2, le circuit est testé pour déterminer s'il comporte ou non des cellules mémoire défectueuses. Si une rangée d'un bloc 4 comporte au moins une cellule défectueuse, l'adresse de ce bloc et l'adresse de la rangée "défectueuse" sont stockées dans le moyen de commande 18 du bloc.

Par la suite, lorsqu'on veut accéder en lecture ou en écriture à une rangée d'un bloc du circuit 2, chaque décodeur 8 et chaque circuit de commande 18 reçoivent l'adresse du bloc et l'adresse de la rangée par l'intermédiaire du bus 10.

Si la rangée ne comporte pas de cellule mémoire défectueuse, les adresses présentes sur le bus 10 ne coïncident avec aucune adresse stockée dans les moyens de commande 18, et ceux-ci restent inactifs. Le décodeur 8 du bloc désigné par l'adresse de bloc présente sur le bus 10 est activé. La rangée du bloc qui correspond à l'adresse de rangée présente sur le bus 10 est alors activée par le décodeur 8 du bloc et elle est accessible en lecture/écriture par l'intermédiaire du bus 12.

Si par contre la rangée est défectueuse, les adresses présentes sur le bus 10 coïncident avec les adresses de bloc et de rangée stockées dans un moyen de commande 18. Ce moyen de commande 18 inactive le décodeur 8 et active la rangée de secours 16 de ce bloc. De cette manière, tout accès à la rangée défectueuse d'un bloc est remplacé par un accès à la rangée de secours 16 du bloc.

En figure 1, chaque bloc 4 comporte une seule rangée de secours et, si le circuit 2 ne comporte qu'une seule rangée défectueuse, celle-ci peut être remplacée de façon certaine. Si le circuit 2 comporte deux rangées défectueuses, la seconde rangée défectueuse a sept chances sur huit (pour un circuit à huit blocs) de se trouver dans un bloc 4 différent de celui dans lequel se trouve la première rangée défectueuse. Par conséquent, la probabilité que le circuit 2 soit réparable dans ce cas est de

7/8. Plus généralement, si le circuit 2 comporte un nombre n de rangées défectueuses (n étant compris entre un et huit), la probabilité que le circuit soit réparable est égale à :

$$p_n = (8!) / [(8-n)! \cdot 8^n]$$

- 5 Cette probabilité diminue très vite lorsque le nombre de rangées défectueuses augmente. Ainsi, pour $n = 3$, on a $p_n = 0,656$; pour $n = 4$, $p_n = 0,410$ et, pour $n = 8$, p_n tombe à 0,002, ce qui signifie qu'il est pratiquement impossible de réparer huit rangées défectueuses dans le circuit mémoire de la
- 10 figure 1. Pour garantir une réparation à cent pour cent du circuit 2 s'il comporte huit rangées défectueuses, il faut munir chaque bloc 4 de huit rangées de secours 16, ce qui porte le nombre total de rangées de secours à 64. Or, chaque rangée de secours supplémentaire accroît la taille et le coût du circuit.
- 15 On notera par ailleurs que, plus le nombre de blocs du circuit mémoire est important, plus le nombre de rangées de secours requis doit être grand.

Un autre inconvénient du circuit 2 est que les rangées de secours sont profondément imbriquées dans la structure de

20 chaque bloc. Il en résulte qu'il est très difficile, si besoin est, de supprimer ou d'ajouter des rangées de secours d'un bloc sans modifications complexes et coûteuses. Or, on peut vouloir supprimer des rangées de secours en excès. En effet, lorsque le processus de fabrication du circuit est bien maîtrisé, le nombre

25 de rangées défectueuses diminue, et un nombre élevé de rangées de secours ne se justifie plus.

Un objet de la présente invention est de prévoir un circuit mémoire organisé en blocs de cellules mémoire, qui utilise un nombre réduit de cellules mémoire de secours.

- 30 Un autre objet de la présente invention est de prévoir un tel circuit mémoire dans lequel il est facile de supprimer des cellules mémoire de secours en excès.

Selon la présente invention, les cellules mémoire de secours sont disposées en dehors des blocs de cellules mémoire,

35 de manière que les cellules mémoire de secours puissent remplacer

des cellules mémoire défectueuses de l'un quelconque des blocs de cellules mémoire.

Plus particulièrement, la présente invention prévoit un circuit mémoire comportant plusieurs blocs de cellules mémoire organisées en rangées et en colonnes, et au moins une rangée de secours formée de cellules mémoire de secours, dans lequel la rangée de secours est disposée hors des blocs du circuit mémoire.

Selon un mode de réalisation de la présente invention, le circuit mémoire comprend un moyen pour invalider l'écriture, respectivement la lecture, d'une cellule mémoire défectueuse d'une rangée d'un bloc quelconque du circuit mémoire et pour permettre en remplacement l'écriture, respectivement la lecture, d'une cellule mémoire de la rangée de secours.

Selon un mode de réalisation de la présente invention, chaque bloc comprend un décodeur d'adresse et ledit moyen est relié au décodeur d'adresse de chaque bloc et invalide au moins le décodeur d'adresse du bloc contenant la cellule mémoire défectueuse pour invalider l'écriture, respectivement la lecture, de la cellule mémoire défectueuse.

Selon un mode de réalisation de la présente invention, les cellules mémoire des rangées des blocs du circuit mémoire et de la rangée de secours forment des mots, un mot d'une rangée d'un bloc quelconque contenant une cellule mémoire défectueuse étant remplacé par un mot de la rangée de secours.

Selon un mode de réalisation de la présente invention, une rangée d'un bloc quelconque du circuit mémoire contenant une cellule mémoire défectueuse est remplacée par la ou une des rangées de secours.

Selon un mode de réalisation de la présente invention, chaque cellule mémoire de secours est une cellule de mémoire statique.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers

faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, précédemment décrite, représente sous forme de blocs un circuit mémoire classique comportant des cellules mémoire de secours ;

la figure 2, représente sous forme de blocs un circuit mémoire selon un mode de réalisation de la présente invention ; et

la figure 3, représente sous forme de blocs un circuit mémoire selon une variante de la présente invention.

Dans les figures, de mêmes références représentent de mêmes éléments ; pour des raisons de clarté, seuls les éléments nécessaires à la compréhension de l'invention ont été représentés.

La figure 2 représente un circuit mémoire selon la présente invention. Dans le mode de réalisation représenté, le circuit, ici un circuit de mémoire dynamique (DRAM), comprend huit (dont trois sont représentés) blocs 4 de cellules mémoire organisées en rangées et en colonnes (non représentées). On supposera que toutes les rangées du circuit sont identiques car cela simplifie l'exposé de la présente invention, même si en pratique il y a deux types de rangées dans une mémoire DRAM, du fait de l'entrelacement des cellules mémoire. Chaque bloc 4 est relié à un décodeur de rangée 8. Chaque décodeur 8 est connecté à un bus d'adresse 10 pour en recevoir une adresse de bloc et une adresse de rangée. Chaque bloc 4 est relié à un bus d'entrée/sortie 12 par l'intermédiaire d'amplificateurs de lecture/écriture 14. Le circuit comprend en outre une rangée de secours 16'. La rangée de secours 16' est située en dehors des blocs 4 de cellules mémoire. Un moyen de commande 18', relié au bus d'adresse 10, permet d'activer ou d'inactiver la rangée de secours 16', ainsi que le décodeur de rangée 8 de chacun des blocs 4. De préférence dans l'exemple représenté, les cellules mémoire de la rangée de secours 16' ne sont pas des cellules de mémoire dynamique mais des cellules de mémoire statique (SRAM), ce qui évite leur

rafraîchissement et fait que leur lecture ou leur écriture peut être réalisée sans amplificateurs de lecture/écriture. De préférence, ces cellules ont la même structure que les amplificateurs de lecture/écriture 14 et sont reliées directement
5 au bus d'entrée/sortie 12.

A l'issue de la fabrication du circuit mémoire, le circuit est testé pour déterminer s'il comporte ou non des cellules mémoire défectueuses. Si une rangée d'un bloc 4 comporte au moins une cellule défectueuse, l'adresse de ce bloc 4 et celle de la
10 rangée défectueuse sont stockées dans le moyen de commande 18'.

Par la suite, lorsqu'on veut accéder en lecture ou en écriture à une rangée d'un bloc du circuit 2, si la rangée ne comporte pas de cellule mémoire défectueuse, le décodeur 8 du bloc désigné par l'adresse de bloc et la rangée du bloc qui
15 correspond à l'adresse de rangée sont activés. Si la rangée est défectueuse, les adresses présentes sur le bus 10 coïncident avec les adresses de bloc et de rangée stockées dans le moyen de commande 18'. Le moyen de commande 18' inactive alors les décodeurs de rangée 8 du circuit, ou du moins le décodeur
20 correspondant au bloc contenant la rangée défectueuse, et active la rangée de secours 16'.

Ainsi, une seule rangée de secours 16' selon la présente invention permet de remplacer une rangée défectueuse d'un bloc quelconque du circuit mémoire. Plus généralement, un nombre
25 n de rangées de secours 16' selon la présente invention permet de remplacer n rangées défectueuses, quel que soit le bloc auquel celles-ci appartiennent. Bien entendu, si l'on utilise n rangées de secours, le moyen de commande 18' sera prévu pour mémoriser les adresses des n rangées défectueuses. A titre d'exemple, un
30 circuit selon la présente invention muni de huit rangées de secours 16' permet de remplacer huit rangées défectueuses avec une probabilité de réparation égale à 100%, à comparer aux 0.2 % obtenus avec le circuit de la figure 1.

En outre, il est relativement facile de supprimer des
35 rangées de secours 16' du circuit si celles-ci s'avèrent super-

flues. En effet, les rangées de secours 16' ne font pas partie des blocs de cellules mémoire 4 et leur suppression peut être faite sans modifier les blocs mémoire, c'est-à-dire sans modifier profondément le dessin du circuit.

5 La figure 3 représente sous forme de blocs un circuit selon une variante de la présente invention. Ce circuit comprend huit (dont trois seulement sont représentés) blocs 4 de cellules mémoire organisées en rangées et en colonnes (non représentées). Toutes les rangées du circuit sont supposées identiques. Chaque
10 bloc 4 est relié à un décodeur de rangée 8. Chaque décodeur 8 est connecté à un bus d'adresse 10 pour en recevoir une adresse de bloc et une adresse de rangée. Chaque bloc 4 est relié à un bus d'entrée/sortie 12 par l'intermédiaire d'un décodeur de colonne 20 et d'amplificateurs de lecture/écriture 14. Chaque décodeur de
15 colonne 20 est relié au bus d'adresse 10 pour recevoir une adresse de mot. Chaque rangée est divisée en un nombre prédéterminé de mots de même taille. Chaque mot comprend un nombre prédéterminé de bits, par exemple soixante quatre, seize ou huit bits. Chaque mot peut aussi être formé d'un seul bit. Le circuit
20 comprend en outre une rangée de secours 16'.

Un moyen de commande 18", relié au bus d'adresse 10, permet d'activer ou d'inactiver la rangée de secours 16' mot par mot. Le moyen de commande 18" permet également d'activer ou d'inactiver le décodeur de rangée 8 de chacun des blocs 4.

25 A l'issue de la fabrication du circuit mémoire, le circuit est testé pour déterminer s'il comporte ou non des cellules mémoire défectueuses. Lorsqu'une cellule défectueuse est repérée dans un mot d'une rangée d'un bloc 4, l'adresse du bloc 4, l'adresse de la rangée et l'adresse du mot "défectueux", c'est-à-
30 dire comportant la cellule mémoire défectueuse, sont stockées dans le moyen de commande 18".

Par la suite, lorsqu'on accède en lecture ou en écriture à un mot d'une rangée d'un bloc du circuit, si le mot contient une cellule défectueuse, les adresses de bloc, de rangée
35 et de mot présentes sur le bus 10 coïncident avec les adresses de

bloc, de rangée et de mot stockées dans le moyen de commande 18". Le moyen de commande 18" inactive alors tous les décodeurs de rangée 8, ou du moins celui qui correspond au bloc contenant le mot défectueux, et active le mot de la rangée 16' "de même rang",
5 c'est à dire correspondant à l'adresse de mot présente sur le bus 10. De cette manière, l'accès au mot défectueux est remplacé par un accès au mot de même adresse de la rangée de secours 16', et l'accès aux autres mots de la rangée qui contient la cellule mémoire défectueuse se fait normalement.

10 Ce mode de réalisation de la présente invention permet le remplacement de plusieurs mots défectueux avec une seule rangée de secours, et il permet une meilleure utilisation de la ou des rangées de secours.

Bien entendu, la présente invention est susceptible de
15 diverses variantes et modifications qui apparaîtront à l'homme du métier.

A titre d'exemple, on a décrit des circuits mémoire qui comportent huit blocs de cellules mémoire mais le nombre des blocs de cellules mémoire peut être quelconque.

20 A titre d'exemple également, on a représenté des rangées de secours 16' qui utilisent des cellules de mémoire statique. Cependant, la présente invention est également adaptée à l'utilisation de cellules de secours de mémoire dynamique. Dans un tel cas, les rangées de secours seront connectées au bus
25 d'entrée/sortie par l'intermédiaire d'amplificateurs de lecture/écriture tels que les amplificateurs 14.

A titre d'exemple également, on a décrit la présente invention dans le cadre d'un circuit mémoire de type DRAM, mais la présente invention est également adaptée à des circuits mémoire de type SRAM, ou à d'autres types de circuits mémoire tels
30 que des mémoires mortes électriquement programmables (EPROM ou EEPROM) organisées en blocs et munies de cellules de secours.

A titre d'exemple également, on a représenté et décrit des modes de réalisation particuliers de circuits mémoire dans
35 lesquels les cellules mémoire de secours sont disposées en ran-

gées, mais l'homme du métier adaptera sans difficulté la présente invention à un circuit mémoire dans lequel les cellules mémoire de secours sont disposées en colonnes.

5 On notera aussi que la façon d'adresser les blocs, les rangées et les mots dans les circuits des figures 2 et 3 n'a été décrite qu'à titre d'exemple seulement, et que d'autres modes d'adressage peuvent être mis en oeuvre sans sortir du domaine de la présente invention.

REVENDICATIONS

1. Circuit mémoire comportant plusieurs blocs (4) de cellules mémoire organisées en rangées et en colonnes, et au moins une rangée de secours (16') formée de cellules mémoire de secours, caractérisé en ce que la rangée de secours (16') est
5 disposée hors des blocs (4) du circuit mémoire.

2. Circuit mémoire selon la revendication 1, comprenant un moyen (18', 18'') pour invalider l'écriture, respectivement la lecture, d'une cellule mémoire défectueuse d'une rangée d'un bloc quelconque du circuit mémoire et pour permettre en remplacement
10 l'écriture, respectivement la lecture, d'une cellule mémoire de la rangée de secours.

3. Circuit mémoire selon la revendication 2, dans lequel chaque bloc (4) comprend un décodeur d'adresse (8) et dans lequel ledit moyen (18', 18'') est relié au décodeur d'adresse de
15 chaque bloc et invalide au moins le décodeur d'adresse du bloc contenant la cellule mémoire défectueuse pour invalider l'écriture, respectivement la lecture, de la cellule mémoire défectueuse.

4. Circuit mémoire selon une des revendications 1 à 3, dans lequel les cellules mémoire des rangées des blocs du circuit
20 mémoire et de la rangée de secours forment des mots et dans lequel un mot d'une rangée d'un bloc quelconque contenant une cellule mémoire défectueuse est remplacé par un mot de la rangée de secours.

5. Circuit mémoire selon une des revendications 1 à 3, dans lequel une rangée d'un bloc quelconque du circuit mémoire contenant une cellule mémoire défectueuse est remplacée par la ou
25 une des rangées de secours (16').

6. Circuit mémoire selon l'une quelconque des revendications précédentes, dans lequel chaque cellule mémoire de
30 secours est une cellule de mémoire statique.

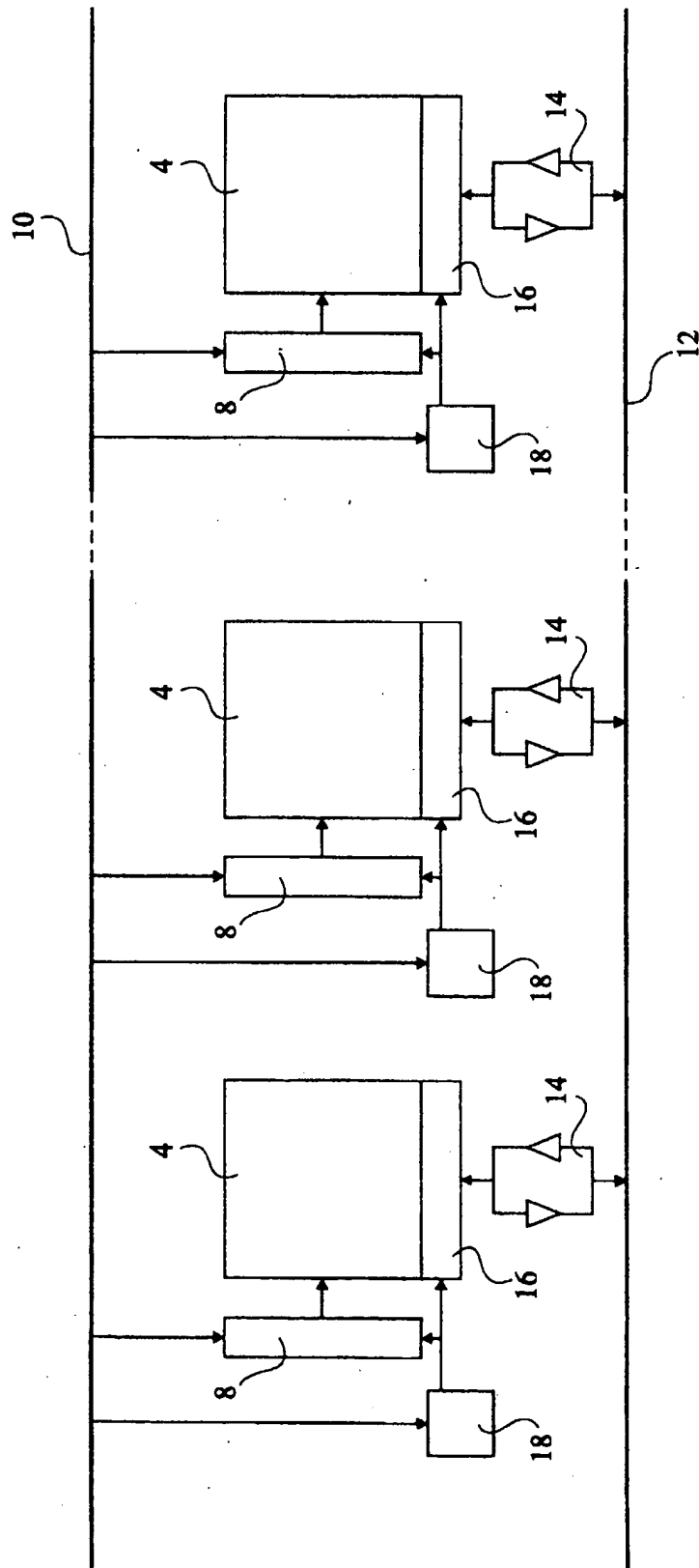


Fig 1

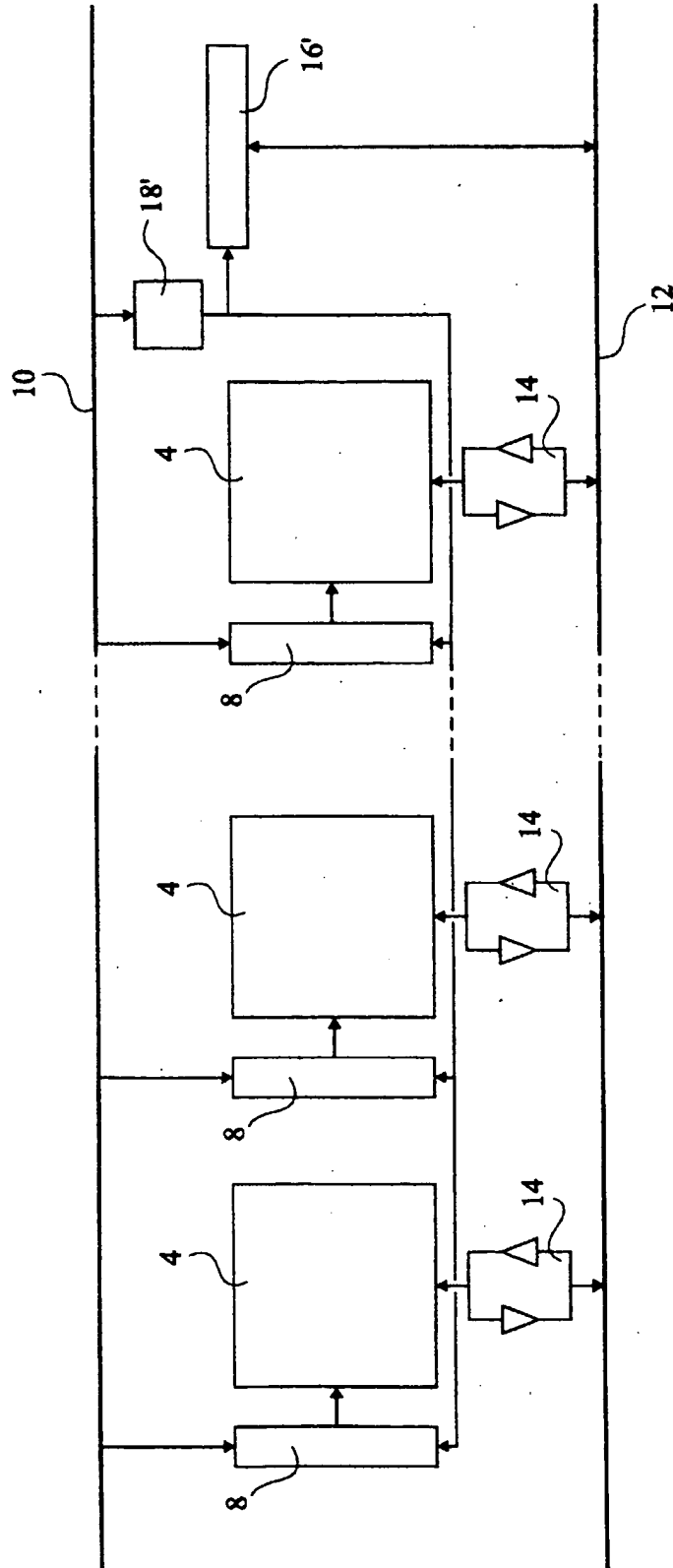


Fig 2

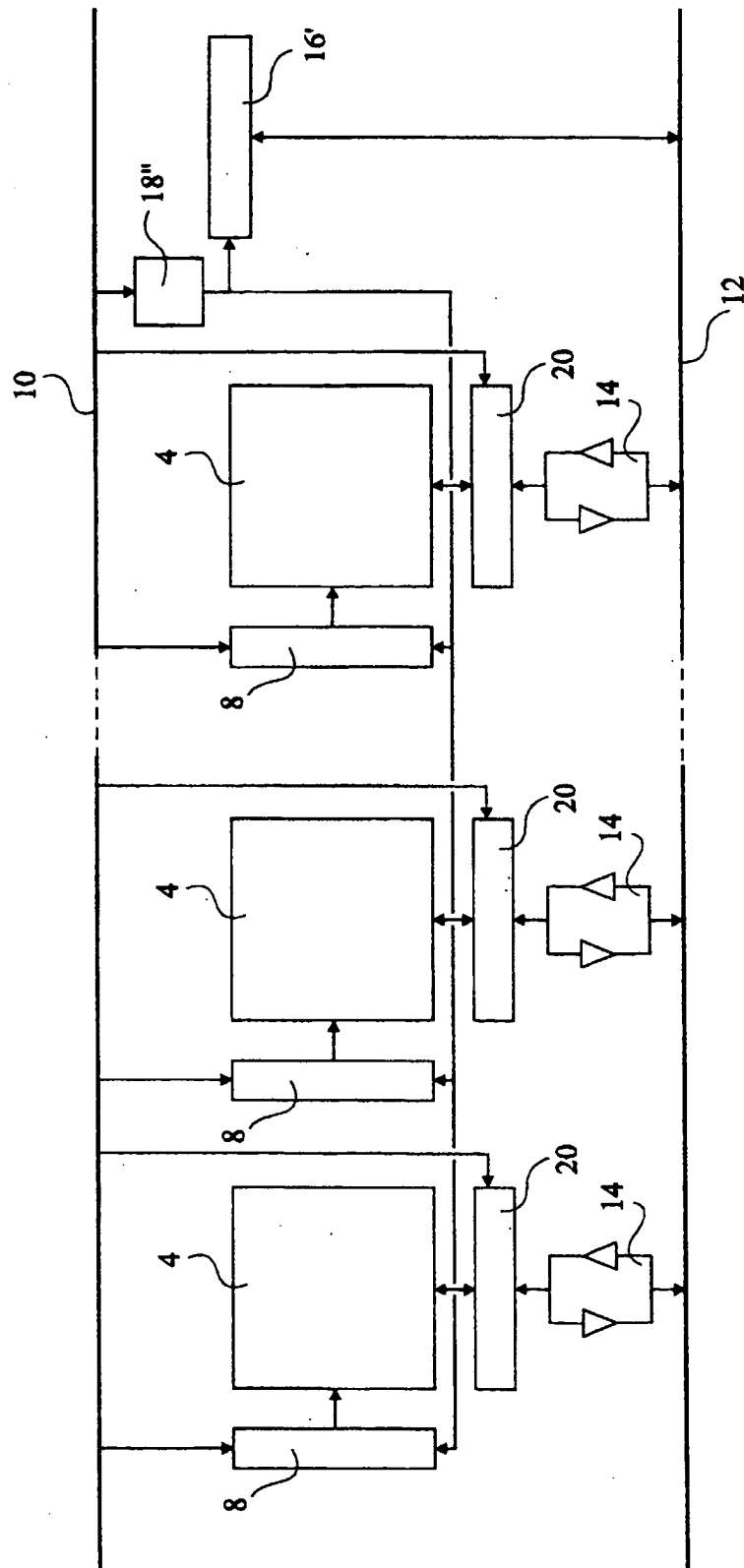


Fig 3



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

2811464

N° d'enregistrement
nationalFA 593840
FR 0008746

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	GB 2 231 984 A (SAMSUNG ELECTRONICS CO LTD) 28 novembre 1990 (1990-11-28)	1-3,5,6	G11C7/24
Y	* abrégé * * page 3, ligne 25 - ligne 29 * * page 5, ligne 14 - ligne 20 * * page 7, ligne 10 - ligne 11 * * page 9, ligne 4 - ligne 28 * * page 13, ligne 10 - page 14, ligne 32 * * figure 1 *	4	
X	EP 0 660 237 A (HITACHI LTD) 28 juin 1995 (1995-06-28) * colonne 3, ligne 55 - colonne 4, ligne 25 * * colonne 6, ligne 1 - ligne 12 * * colonne 6, ligne 26 - ligne 35 * * colonne 7, ligne 48 - colonne 8, ligne 49 * * colonne 10, ligne 43 - ligne 52; figures 2,3 *	1-3,6	
X	AKIRA TANABE ET AL: "A 30-NS 64-MB DRAM WITH BUILT-IN SELF-TEST AND SELF-REPAIR FUNCTION" IEEE JOURNAL OF SOLID-STATE CIRCUITS,US,IEEE INC. NEW YORK, vol. 27, no. 11, 1 novembre 1992 (1992-11-01), pages 1525-1531, XP000320438 ISSN: 0018-9200 * page 1529, colonne de droite, ligne 10 - page 1530, colonne de gauche, ligne 20 * * figures 11,12 *	1,2,5,6	DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7) G06F
Date d'achèvement de la recherche		Examineur	
23 mars 2001		Leuridan, K	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

1

EPO FORM 1503 12.98 (P04C14)



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

2811464

N° d'enregistrement
nationalFA 593840
FR 0008746

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
Y	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 07, 29 septembre 2000 (2000-09-29) & JP 2000 100195 A (NEC CORP), 7 avril 2000 (2000-04-07) * abrégé *	4	
L	-& US 6 154 399 A (OGISHIMA) 28 novembre 2000 (2000-11-28) Première publication dans une langue occidentale. * abrégé * * colonne 8, ligne 48 - ligne 61 * * colonne 9, ligne 7 - ligne 32 * * colonne 11, ligne 53 - colonne 12, ligne 52 * * figures 1-3 * -----	4	
			DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7)
Date d'achèvement de la recherche 23 mars 2001			Examineur Leuridan, K
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>			

1
EPO FORM 1503 12.89 (P04C14)



Europäisches
Patentamt
European Patent
Office
Office européen
des brevets

Auto Translation

Description of FR2811464

Print

Copy

Contact Us

Close

Result Page

Notice: ~~This translation is produced by an automated process.~~ It is intended only to make the technical content of the original document sufficiently clear in the target language. This service is not a replacement for professional translation services. The esp@cenet@ Terms and Conditions of use are also applicable to the use of the translation tool and the results derived therefrom.

-1 2811464

CIRCUIT MOIRE COEPORTANT OF THE CMEULES OF HELP

The present invention relates to the circuits report, and in particular the circuits report comprising of the cells of help.

The cells memory of a circuit report are classi-

quement divided into blocks having their own decoders of address. In a circuit report, certain cells memory can prove to be defective at the end of the manufacture of the circuit. For that, one adds to each block of the circuit report of the additional cells memory, or cells memory of

help, intended to replace the defective cells memory.

Figure 1 represents a dynamic circuit of storage (DRAM) 2 including/understanding eight (of which three only are represented) blocks 4 of cells memory organized in lines and columns (not represented). Each block 4 is associated a decoder of line 8, laid out to selectively activate one of the lines of the block. Each decoder of line 8 is connected to an adress bus

to receive from it an address of block and an address of line.

Each block 4 is connected to a bus of input/output 12 by inter

médiaire of amplifiers of read/write 14. Moreover, each block 4 includes/understands a line of help 16 identical to the other lines of the block. Each block 4 is associated a means of order 18 suitable to activate or inactiver the line of help 16. Each means of order 18 moreover is connected to the adress bus 10, and

with decoder 8 of the block with which it is associated.

With the exit of the manufacture of the circuit report 2, it

circuit is tested to determine if it comprises or not concealment

lules memory defective. If a line of a block 4 comprises at least a defective cell, the address of this block and the address of the ?defective? line are stored in the means of order

18 of the block.

Thereafter, when one wants to reach in reading or writing a line of a block of circuit 2, each decoder 8 and each control circuit 18 receive the address of the block and

the address of the line via bus 10.

▲ top If the line does not comprise a cell memory défec-

tueuse, the addresses present on bus 10 do not coincide with any address stored in the means of order 18, and those remain inactive. Decoder 8 of the block indicated by the address of block present on bus 10 is activated. The line of the block which corresponds to the address of line present on bus 10 is then activated by decoder 8 of the block and it is accessible in

read/write via bus 12.

So on the other hand the line is defective, the addresses present on bus 10 coïncident with the addresses of block and line stored in a means of order 18. This means of inactive order 18 decoder 8 and activates the line of help

16 of this block. De Cette manière, kündigen accès à La rangée défec- an

tueuse of a block is replaced by an access to the line of help

16 of the block.

En Tabelle 1, chaque Block 4 comporte une Seule Rangée de Secours und, si le circuit 2 Ne comporte qu'une seule rangée défectueuse, peut Celleci Être Remplacée de Façon certaine. If circuit 2 comprises two defective lines, the second defective line has seven chances out of eight (for a circuit with eight blocks) to be in a block 4 different from that in which the first defective line is. Consequently, the probability that circuit 2 is reparable in this case is 7/8. More generally, if circuit 2 comprises a number N of defective lines (N lying between one and eight), the probability that the circuit is reparable is equal to: $P_n = \frac{8!}{(8-n)! \cdot n!}$. This probability decreases very quickly when the number of defective lines increases. Thus, for N = 3, one has $P_n = 0,656$; for N = 4, $P_n 0,410$ and, for N = 8, P_n fall to 0,002,

which means that it is practically impossible to repair eight defective lines in the circuit report of figure 1. To guarantee a repair with hundred percent of the cir-

cooked 2 if it comprises eight defective lines, it is necessary to provide each block 4 with eight lines of help 16, which changes the total number of lines of help to 64. However, each line of additional help increases the size and the cost of the circuit.

It will be noted in addition that, more the number of blocks of the circuit report is important, more the number of lines of help

necessary must be large.

Another disadvantage of circuit 2 is that the lines of help are deeply overlapping in the structure of each block. It results from it that it is very difficult, if need be, to remove or add lines of help of a block without complex and expensive modifications. However, one can want to remove lines of help in excess. Indeed, when the manufacturing process of the circuit is well controlled, the number of defective lines falls, and a high number of lines of help is not justified any more.

An object of this invention is to envisage one circuit report organized in blocks of cells memory, which utilize a reduced number of cells memory of help.

Another object of this invention is to envisage such a circuit report in which it is easy to remove cells memory of help in excess.

According to the present invention, the cells memory of help are laid out outside the blocks of cells memory, so that the cells memory of help can replace defective cells memory of any of the blocks of cells memory.

More particularly, the present invention envisages a circuit report comprising several blocks of cells memory organized in lines and columns, and at least a line of help made of cells memory of help, in which line of help is laid out out of the blocks of the circuit report.

According to a mode of realization of this invention, the circuit report includes/understands a means to invalidate the writing, respectively the reading, of a cell defective memory of a line of an unspecified block of the circuit report and to allow in replacement the writing, respectively the reading, of a cell memory of the line of help.

According to a mode of realization of this invention, each block includes/understands a decoder of address and the aforementioned average is connected to the decoder of address of each block and invalid at least the decoder of address of the block containing the cell memory defective to invalidate the writing, respectively the reading, of the cell defective memory.

According to a mode of realization of this invention, the cells memory of the lines of the blocks of the circuit report and line of help form words, a word of a line of an unspecified block containing a cell defective memory being replaced by a word of the line of help.

According to a mode of realization of this invention, a line of an unspecified block of the circuit report containing a cell defective memory is replaced by or one of lines of help.

According to a mode of realization of this invention, each cell memory of help is a static storage cell. These objects, characteristics and advantages, as of others of this invention will be explained in detail in the following description of particular modes of realization

made on a purely unrestrictive basis in relation to the joined figures among which: figure 1, previously described, represents under

form blocks a comprising traditional circuit report of the cellu-

memory of help; figure 2, represents in the form of blocks a circuit report according to a mode of realization of this invention; and figure 3, represents in the form of blocks a circuit memory according to an alternative of this invention.

In the figures, same references represent same elements; for reasons of clearness, only the elements necessary to the comprehension of the invention were represented.

Figure 2 represents a circuit report according to the pre one

invention feels. In the mode of realization represented, the circuit, here a dynamic circuit of storage (DRAM),

includes/understands eight (of which three are represented) blocks 4 of cells memory organized in lines and columns (not represented). It will be supposed that all the lines of the circuit are identical because that simplifies the disclosure of this invention, even if in practice there are two types of lines in a memory DRAM, because of interlacing of the cells memory. Each block 4 is connected to a decoder of line 8. Each decoder 8 is connected to an address bus 10 to receive from it an address of block and an address of line. Each block 4 is connected to a bus of input/output

12 via amplifiers of read/write 14.

The circuit includes/understands moreover a line of help 16'. The line of help 16' is located outside blocks 4 of cells memory. A means of order 18', connected to the address bus 10, makes it possible to activate or of inactiver the line of help 16', as well as the decoder of line 8 of each block 4. Preferably in the example represented, the cells memory of the line of help 16' are not cells storage dynamic but cells storage static (SRAM), which avoids their cooling and makes that their reading or their writing can be carried out without amplifiers of read/write. Preferably, these cells have the same structure that the amplifiers of read/write 14 and are connected directly to the bus of input/output 12.

With the exit of the manufacture of the circuit report, the cir-

cooked is tested to determine if it comprises or not defective cells memory. If a line of a block 4 comprises at least a defective cell, the address of this block 4 and that of

defective line are stored in the means of order 18'.

Thereafter, when one wants to reach in reading or writing a line of a block of circuit 2, if the line does not comprise a cell defective memory, decoder 8 of the block indicated by the address of block and the line of the block which corresponds to the address of line are activated. If the line is defective, the addresses present on bus 10 coincide with the addresses of block and line stored in the means of

order 18'. The means of inactive order 18' then déco-

deurs of line 8 of the circuit, or at least the decoder corresponding to the block containing the defective, and active line the line of help 16'.

Thus, only one line of help 16' according to the pre one

invention feels makes it possible to replace a defective line of an unspecified block of the circuit report. More generally, a number N of lines of help 16' according to the present invention makes it possible to replace N arranged defective, whatever the block to which those belong. Of course, if one uses N lines of help, the means of order 18' will be designed to memorize the defective arranged addresses of N. As example, a circuit according to the present invention provided with eight lines of help 16' makes it possible to replace eight defective lines with a probability of repair equalizes at 100%, to compare with the 0.2%

obtained with the circuit of figure 1.

Moreover, it is relatively easy to remove

lines of help 16' of the circuit if those prove to be super

creep. Indeed, the lines of help 16' do not form part of the blocks of cells memory 4 and their suppression can be made without modifying the storage blocks, i.e. without modifying

deeply the drawing of the circuit.

Figure 3 represents in the form of blocks a circuit according to an alternative of this invention. This circuit includes/understands eight (of which three only are represented) blocks 4 of cells

memory organized in lines and columns (not represented).

All the lines of the circuit are supposed to be identical. Each block 4 is connected to a decoder of line 8. Each decoder 8 is connected to an address bus 10 to receive from it an address of block and an address of line. Each block 4 is connected to a bus of input/output 12 via a decoder of column and amplifiers of read/write 14. Each decoder of column 20 is connected to the address bus 10 to receive one

address word. Each line is divided into a prédé- number

finished of the same words cuts. Each word includes/understands number a predetermined of bits, for example sixty four, sixteen or eight bits. Each word can also made of only one bit. The circuit

moreover a line of help 16 includes/understands'.

A means of order 18", connected to the address bus 10, makes it possible to activate or of inactiver the line of help 16' word per word. The means of order 18" also makes it possible to activate or

of inactiver the decoder of line 8 of each block 4.

With the exit of the manufacture of the circuit report, the cir-

cooked is tested to determine if it comprises or not defective cells memory. When a defective cell is located in a word of a line of a block 4, the address of block 4,

the address of the line and the address of the ?defective? word, it be-with

to say comprising the cell defective memory, are stored

in the means of order 18".

Thereafter, when one reaches in reading or écri-

ture with a word of a line of a block of the circuit, if the word contains a defective cell, the addresses of block, line and word present on bus 10 coincide with the addresses of

block, of line and word stored in the means of order 18 ".

The means of inactive order the 18 " then all decoders of line 8, or at least that which corresponds to the block containing the defective word, and activates the word of the line 16 ' ?of the same row?, i.e. corresponding to the address of word present on bus 10. In this manner, the access to the defective word is replaced by an access to the of the same word addresses line of help 16 ', and the access to the other words of the line which contains the cell

defective memory is done normally.

This mode of realization of this invention allows the replacement of several defective words with only one line of help, and it allows a better use of

or of the lines of help.

Of course, the present invention is likely various alternatives and modifications which will appear with the specialist of the profession. As example, one described circuits report which comprise eight blocks of cells memory but the number of blocks of cells memory can be unspecified.

As example also, one represented ran-

gées of helps 16 ' which use cells storage static. However, the present invention is also adapted to the use of cells of dynamic help of storage. In such a case, the lines of help will be connected to the bus

of input/output via amplifiers of lec-

ture/writing such as the amplifiers 14.

As example also, one described the present invention within the framework of a circuit report of the type DRAM, but the present invention is also adapted to circuits me

moire of the type SRAM, or with other types of circuits report such as electrically died memories programmables (EPROM or

EEPROM) organized in blocks and provided with cells of help.

As example also, one represented and described particular modes of realization of circuits report in

which the cells memory of help are laid out in ran-

gées, mais l'homme DU métier adaptera sans difficulté La présente Erfindung à un Stromkreis mémoire dans lequel les Cellules mémoire

helps are laid out in columns.

It will be also noted that the way of addressing the blocks, the lines and the words in the circuits of figures 2 and 3 was described only as example only, and that other modes of addressing can be implemented without leaving the field the present invention.



Europäisches
Patentamt
European Patent
Office
Office européen
des brevets

Claims of FR2811464

Print

Copy

Contact Us

Close

Result Page

Notice: This translation is produced by an automated process; it is intended only to make the technical content of the original document sufficiently clear in the target language. This service is not a replacement for professional translation services. The esp@cenet® Terms and Conditions of use are also applicable to the use of the translation tool and the results derived therefrom.

CLAIMS

1. Circuit report comprising several blocks (4) of cells memory organized in lines and columns, and at least a line of help (16 ') made of cells memory of help, characterized in that the line of help (16 ') is laid out out of the blocks (4) of the circuit report. 2. Circuit report according to claim 1, including/understanding a means (18 ', 18 ") to invalidate the writing, respectively the reading, of a cell defective memory of a line of an unspecified block of the circuit report and to allow in replacement the writing, respectively the reading, of a cell memory of the line of help.

3. Circuit report according to claim 2, in

which each block (4) includes/understands a decoder of address (8) and in which the aforementioned means (18', 18'') is connected to the decoder of address of each block and invalid at least the decoder of address of the block containing the cell defective memory to invalidate the écriture, respectively reading, of the cell defective memory.

4. Circuit report according to one of claims 1 to 3,

[illegible]

help.

5. Circuit report according to one of claims 1 to 3,

[??] [???] [??] [??] [?'] [???] [?????] [?] [????] [????] [????] [??] ????? [????] [??????] [??]
[????] ????? ?? [?]

one of the lines of help (16 ').

6. Circuit report according to any of the revendications the preceding ones, in which each cell memory of help is a static storage cell.

▲ top